

日本特許庁  
JAPAN PATENT OFFICE

771

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年11月21日

出願番号

Application Number:

特願2002-338452

[ST.10/C]:

[JP2002-338452]

出願人

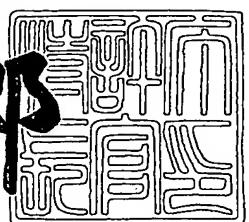
Applicant(s):

株式会社東芝

2002年12月13日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 俊一郎



出証番号 出証特2002-3098568

【書類名】 特許願

【整理番号】 AMB023051

【提出日】 平成14年11月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10  
H01L 27/08

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 17

【発明者】

【住所又は居所】 三重県四日市市山之一色町800番地 株式会社東芝  
四日市工場内

【氏名】 井口 直

【発明者】

【住所又は居所】 三重県四日市市山之一色町800番地 株式会社東芝  
四日市工場内

【氏名】 角田 弘昭

【発明者】

【住所又は居所】 三重県四日市市山之一色町800番地 株式会社東芝  
四日市工場内

【氏名】 石田 勝広

【発明者】

【住所又は居所】 三重県四日市市山之一色町800番地 株式会社東芝  
四日市工場内

【氏名】 間 博顕

【発明者】

【住所又は居所】 三重県四日市市山之一色町800番地 株式会社東芝  
四日市工場内

【氏名】 飯塚 裕久

【発明者】

【住所又は居所】 三重県四日市市山之一色町800番地 株式会社東芝  
四日市工場内

【氏名】 森 誠一

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板上において浮遊電極を有するメモリセルを行列状に配列したメモリセルアレイと、

ゲート幅方向に隣接する前記メモリセル間において前記半導体基板の表面から深さ方向に向かって配設された第1のトレンチとこの第1のトレンチ内部を埋設する分離用充填材とを有する素子分離領域と、

前記ゲート幅方向に隣接する前記メモリセルの浮遊電極間において前記素子分離領域の分離用充填材の表面からその深さ方向に向かって配設され、表面部分に比べて深い部分のトレンチ幅が小さい第2のトレンチと、

前記メモリセルに接続され、前記第2のトレンチ内部に埋設されるとともに前記ゲート幅方向に延在するワード線と

を有する不揮発性記憶回路を備えたことを特徴とする半導体装置。

【請求項2】 前記第2のトレンチは、前記ゲート幅方向に隣接する前記メモリセルの浮遊電極間の寄生容量を減少させる機能を有することを特徴とする請求項1に記載の不揮発性記憶回路を備えた半導体装置。

【請求項3】 前記第2のトレンチの断面形状は、V字型形状であることを特徴とする請求項1に記載の不揮発性記憶回路を備えた半導体装置。

【請求項4】 前記第2のトレンチの断面形状は、逆台形形状であることを特徴とする請求項1に記載の不揮発性記憶回路を備えた半導体装置。

【請求項5】 前記第2のトレンチの断面形状は、U字型形状であることを特徴とする請求項1に記載の不揮発性記憶回路を備えた半導体装置。

【請求項6】 前記メモリセルは浮遊電極上にゲート絶縁膜を介在させて制御電極を備え、

前記ワード線は前記制御電極と同一層で一体的に形成されていることを特徴とする請求項1に記載の不揮発性記憶回路を備えた半導体装置。

【請求項7】 前記第2のトレンチ内部は、前記ゲート絶縁膜と同一層の絶縁膜を介在させてワード線が埋設されたことを特徴とする請求項6に記載の不揮

発性記憶回路を備えた半導体装置。

【請求項8】 前記ゲート絶縁膜には、少なくともシリコン窒化膜が含まれることを特徴とする請求項1に記載の不揮発性記憶回路を備えた半導体装置。

【請求項9】 前記第1のトレンチの表面部分のトレンチ幅と深さ部分のトレンチ幅の比率に対して、第2のトレンチの表面部分のトレンチ幅と深さ部分のトレンチ幅の比率が大きいことを特徴とする請求項1に記載の不揮発性記憶回路を備えた半導体装置。

【請求項10】 前記第2のトレンチは、第1のトレンチよりも浅く、前記半導体基板の表面よりも深いことを特徴とする請求項1に記載の不揮発性記憶回路を備えた半導体装置。

【請求項11】 前記不揮発性記憶回路は、NAND型又はNOR型電気的消去可能な読み出し専用メモリであることを特徴とする請求項1に記載の不揮発性記憶回路を備えた半導体装置。

【請求項12】 ゲート幅方向に隣接するメモリセル形成領域において半導体基板の表面から深さ方向に向かって第1のトレンチを形成し、前記第1のトレンチ内部に分離用充填材を埋設して素子分離領域を形成する工程と、

前記メモリセル形成領域において前記半導体基板の表面上にゲート幅寸法が決定された浮遊電極を形成する工程と、

前記ゲート幅方向に隣接する浮遊電極間において前記素子分離領域の分離用充填材の表面から深さ方向に向かい、表面部分に比べて深い部分のトレンチ幅が小さい第2のトレンチを形成する工程と、

前記第2のトレンチ内部に埋設されるとともに前記ゲート幅方向に延在するワード線を形成する工程と

を備えたことを特徴とする不揮発性記憶回路を有する半導体装置の製造方法。

【請求項13】 前記第2のトレンチを形成する工程は、V字型断面形状を有するトレンチを形成する工程であることを特徴とする請求項12に記載の不揮発性記憶回路を備えた半導体装置の製造方法。

【請求項14】 前記第2のトレンチを形成する工程は、逆台形の断面形状を有するトレンチを形成する工程であることを特徴とする請求項12に記載の不

揮発性記憶回路を有する半導体装置の製造方法。

【請求項15】 前記第2のトレンチを形成する工程は、U字型断面形状を有するトレンチを形成する工程であることを特徴とする請求項12に記載の不揮発性記憶回路を有する半導体装置の製造方法。

【請求項16】 前記第2のトレンチを形成する工程は、前記浮遊電極に対して自己整合で第2のトレンチを形成する工程であることを特徴とする請求項12に記載の不揮発性記憶回路を有する半導体装置の製造方法。

【請求項17】 メモリセル形成領域において半導体基板上にゲート幅寸法が決定された浮遊電極を形成する工程と、

ゲート幅方向に隣接する前記浮遊電極において、前記浮遊電極に対して自己整合により、半導体基板の表面から深さ方向に向かって第1のトレンチを形成する工程と、

前記第1のトレンチ内部に分離用充填材を埋設して素子分離領域を形成する工程と、

前記分離用充填材の表面上において前記浮遊電極の側壁にこの浮遊電極に対して自己整合によりサイドウォールスペーサを形成する工程と、

前記サイドウォールスペーサをマスクとして前記分離用充填材の表面から深さ方向に向かい第2のトレンチを形成する工程と、

前記第2のトレンチ内部に埋設されるとともに前記ゲート幅方向に延在するワード線を形成する工程と

を備えたことを特徴とする不揮発性記憶回路を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に不揮発性記憶回路を備えた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

NAND型電気的消去可能なプログラマブルリードオンリーメモリ（以下、単

にEEPROMという。)の断面構造を図21に示す。図21はメモリセルアレイにおいてワード線方向に沿って切断した時の断面図である。NAND型EEPROMは、シリコン単結晶からなる半導体基板100と、この半導体基板100の主面部において規則的に行列状に配列されたメモリセルMと、メモリセルM間に配設された素子分離領域110とを備えている。

#### 【0003】

メモリセルMは浮遊電極(フローティングゲート電極)121を有する1個のトランジスタにより構成されている。すなわち、メモリセルMは、半導体基板100の表面部分に配設されたウエル領域101の表面上のゲート絶縁膜120と、ゲート絶縁膜120上の浮遊電極121と、浮遊電極121上のゲート絶縁膜122と、ゲート絶縁膜122上の制御電極(コントロールゲート電極)123と、図示しないがソース領域及びドレイン領域とを備えている。ゲート絶縁膜120はトンネル絶縁膜として使用されている。ソース及びドレイン領域は、紙面に対して垂直方向(ゲート長方向又はビット線方向)に配列されており、このゲート長方向に隣接して配列された他のメモリセルMのドレイン領域又はソース領域に一体に形成されている。

#### 【0004】

ワード線方向すなわちゲート幅方向において隣接するメモリセルMの制御電極123は、一体に形成され、ワード線123WLを構成するようになっている。ワード線123WL上にはビット線130が配設されている。複数個のメモリセルM、例えば8個(8ビット)又は16個(16ビット)のメモリセルMはメモリセルユニットを構築し、ビット線130はこのメモリセルユニット毎にユニット選択用トランジスタ(図示しない。)を介して接続されている。

#### 【0005】

素子分離領域110にはシャロートレンチアイソレーション(STI)構造が採用される傾向にある。すなわち、素子分離領域110は、ウエル領域101(半導体基板100)の表面から深さ方向に向かって形成されたトレンチ(溝)111と、このトレンチ111内部に埋設されたシリコン酸化膜112とを備えている。STI構造においては、例えば選択酸化技術により形成された素子分離領域

に比べて、素子分離領域110の占有面積を縮小することができるので、NAND型EEPROMの高集積化及び大容量化を実現することができる。

【0006】

さらに、素子分離領域110のシリコン酸化膜112には、表面から深さ方向に向かって均一なトレンチ幅を有する、トレンチ115が配設されている。トレンチ115内壁にはメモリセルMのゲート絶縁膜122と同一層の絶縁膜112Aが形成され、トレンチ115内部にはこの絶縁膜112Aを介してワード線123WLの一部が埋設されている。

【0007】

トレンチ115の製造方法は以下の通りである（図21参照。）。

【0008】

（1）まず、ウエル領域101の主面部に素子分離領域110を形成する。この素子分離領域110の製造工程とほぼ同一製造工程において、メモリセルMの形成領域におけるウエル領域101の表面上にゲート絶縁膜120を形成し、ゲート絶縁膜120上に第1層目のシリコン多結晶膜（浮遊電極121の下層部分）を形成する。

【0009】

（2）次に、第1層目のシリコン多結晶膜上に第2層目のシリコン多結晶膜（浮遊電極121の上層部分）を形成する。引き続き、第2層目のシリコン多結晶膜上にフォトリソグラフィ技術によりエッチングマスクを形成する。このエッチングマスクを使用し、ドライエッチングにより、第2層目及び第1層目のシリコン多結晶膜をパターンニングし、浮遊電極121を形成する。エッチングマスクは素子分離領域110に対してアライメントされているので、ゲート幅方向において、浮遊電極121の両端は素子分離領域110上に重複して形成される。

【0010】

（3）浮遊電極121をエッチングマスクとして利用し、素子分離領域110のシリコン酸化膜112にドライエッチングを行い、トレンチ幅が均一なトレンチ115を形成する。トレンチ115は結果的に浮遊電極121に対して自己整合により形成される。

【0011】

(4) 浮遊電極121上にゲート絶縁膜122を形成し、同一製造工程においてトレンチ115内壁に絶縁膜122Aを形成する。

【0012】

(5) ゲート絶縁膜122上に制御電極123を形成し、メモリセルMを完成させる。さらに、制御電極123の製造工程と同一製造工程においてゲート幅方向に延在するワード線123WLを形成する。このワード線123WLの一部はトレンチ115内部に絶縁膜122Aを介して埋設される。

【0013】

上記トレンチ115は、メモリセルM間、詳細には浮遊電極121間に本来生じる寄生容量に加えて、浮遊電極121を一方の電極、シリコン酸化膜112及びトレンチ115内部の絶縁膜122Aを誘電体膜、トレンチ115内部のワード線123WLを他方の電極とする寄生容量を並列的に付加せしめ、メモリセルM間に生じる合計の寄生容量を減少する機能を有している。従って、情報書き込み動作時において、選択メモリセルMのゲート幅方向に隣接する非選択メモリセルMに対する、誤書き込みを防止することができるので、NAND型EEPROMの動作性能を向上することができる。

【0014】

なお、この種のNAND型EEPROMに関しては、特許文献1及び特許文献2に開示されている。

【0015】

【特許文献1】

特開2000-174145号公報

【0016】

【特許文献2】

特開2002-83884号公報

【0017】

【発明が解決しようとする課題】

しかしながら、前述のNAND型EEPROMにおいては、以下の点について配

慮がなされていなかった。

【0018】

(1) N A N D型E E P R O Mの製造上、素子分離領域110に対して浮遊電極121にアライメントずれが生じ、この浮遊電極121をエッティングマスクとして利用している(実際には浮遊電極121をパターンニングするエッティングマスクを使用している)ので、素子分離領域110に対してトレンチ115にアライメントずれが生じる。このアライメントずれにより、ゲート幅方向において、トレンチ115とウエル領域101との間の一方の離間距離L1(図21参照。)は増大するものの、他方の離間距離L2は減少し、この部分において絶縁耐圧不足が生じる。すなわち、情報書き込み動作時(又は情報消去動作時)、ワード線123WLには例えば24Vの高電圧(書き込み電圧)が印加されるので、ワード線123WLとウエル領域101との間に電気的短絡が発生する恐れがあり、N A N D型E E P R O Mの電気的信頼性が低下してしまう。

【0019】

(2) さらに、均一なトレンチ幅によりトレンチ115が形成されることから、トレンチ115内壁と底面との間に鋭い形状の角部C(図21参照。)が形成される。この角部Cは電界集中を生じ易く、上記と同様に、ワード線123WLとウエル領域101との間に電気的短絡が発生する恐れがあり、N A N D型E E P R O Mの電気的信頼性が低下してしまう。

【0020】

本発明は上記課題を解決するためになされたものである。従って、本発明の目的は、ワード線と半導体基板(又はウエル領域)との間の電気的短絡を防止し、電気的信頼性の高い不揮発性記憶回路を備えた半導体装置を提供することである。

【0021】

さらに、本発明の目的は、上記目的を達成することができる、不揮発性記憶回路を備えた半導体装置の製造方法を提供することである。

【0022】

【課題を解決するための手段】

上記課題を解決するために、本発明の第1の特徴は、半導体基板上において浮遊電極を有するメモリセルを行列状に配列したメモリセルアレイと、ゲート幅方向に隣接するメモリセル間において半導体基板の表面から深さ方向に向かって配設された第1のトレンチとこの第1のトレンチ内部を埋設する分離用充填材とを有する素子分離領域と、ゲート幅方向に隣接するメモリセルの浮遊電極間において素子分離領域の分離用充填材の表面からその深さ方向に向かって配設され、表面部分に比べて深い部分のトレンチ幅が小さい第2のトレンチと、メモリセルに接続され、第2のトレンチ内部に埋設されるとともにゲート幅方向に延在するワード線とを有する不揮発性記憶回路を備えた半導体装置としたことである。

#### 【0023】

本発明の第2の特徴は、ゲート幅方向に隣接するメモリセル形成領域間において半導体基板の表面から深さ方向に向かって第1のトレンチを形成し、第1のトレンチ内部に分離用充填材を埋設して素子分離領域を形成する工程と、メモリセル形成領域において半導体基板の表面上にゲート幅寸法が決定された浮遊電極を形成する工程と、ゲート幅方向に隣接する浮遊電極間において素子分離領域の分離用充填材の表面から深さ方向に向かい、表面部分に比べて深い部分のトレンチ幅が小さい第2のトレンチを形成する工程と、第2のトレンチ内部に埋設されるとともにゲート幅方向に延在するワード線を形成する工程とを備えた不揮発性記憶回路を有する半導体装置の製造方法としたことである。

#### 【0024】

本発明の第3の特徴は、メモリセル形成領域において半導体基板上にゲート幅寸法が決定された浮遊電極を形成する工程と、ゲート幅方向に隣接する浮遊電極間において、浮遊電極に対して自己整合により、半導体基板の表面から深さ方向に向かって第1のトレンチを形成する工程と、第1のトレンチ内部に分離用充填材を埋設して素子分離領域を形成する工程と、分離用充填材の表面上において浮遊電極の側壁にこの浮遊電極に対して自己整合によりサイドウォールスペーサを形成する工程と、サイドウォールスペーサをマスクとして分離用充填材の表面から深さ方向に向かい第2のトレンチを形成する工程と、第2のトレンチ内部に埋設されるとともにゲート幅方向に延在するワード線を形成する工程とを備えた不揮

発性記憶回路を有する半導体装置の製造方法としたことである。

【0025】

【発明の実施の形態】

次に、図面を参照して、本発明の実施の形態に係る不揮発性記憶回路を備えた半導体装置及びその製造方法を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。従って、具体的な厚みや寸法は以下の説明を参考して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0026】

（第1の実施の形態）

【不揮発性記憶回路を備えた半導体装置の構造】

本発明の第1の実施の形態は、NAND型EEPROMを備えた半導体装置を説明するものである。ここで、半導体装置とは、NAND型EEPROMだけの機能を有する半導体記憶装置、NAND型EEPROMに加えて論理回路等の他の回路を同一基板上に備えた半導体装置が少なくとも含まれる意味で使用される。

【0027】

図1乃至図3に示すように、本発明の第1の実施の形態に係るNAND型EEPROMは、半導体基板1（又はウエル領域2）上において浮遊電極（フローティングゲート電極）5を有するメモリセルMを行列状に配列したメモリセルアレイMAと、ゲート幅方向（ワード線延在方向）に隣接するメモリセルM間において半導体基板1（又はウエル領域2）の表面から深さ方向に向かって配設された第1のトレンチ30とこの第1のトレンチ30内部を埋設する分離用充填材31とを有する素子分離領域3と、ゲート幅方向に隣接するメモリセルMの浮遊電極5間において素子分離領域3の分離用充填材31の表面からその深さ方向に向かって配設され、表面部分に比べて深い部分のトレンチ幅が小さい第2のトレンチ20と、メモリセルMに接続され、第2のトレンチ20内部に埋設されるとともに

ゲート幅方向に延在するワード線7WLとを備えている。

## 【0028】

半導体基板1には例えばn型シリコン単結晶基板を実用的に使用することができる。ウエル領域2は、p型ウエル領域であり、少なくともメモリセルアレイMAの領域において、半導体基板1の主面部に配設されている。

## 【0029】

本発明の第1の実施の形態において、メモリセルMは、浮遊電極5を有する1トランジスタ構造により構成され、1ビットの情報を保持できる。さらに、メモリセルMは、合計8個を電気的に直列に接続し、1バイトの情報を有するメモリセルユニットMUを構築するようになっている。なお、メモリセルユニットMUのメモリセルMの接続個数は、16個、32個、…等であってもよい。

## 【0030】

メモリセルMは、ゲート幅寸法を規定する部分を素子分離領域3により囲み、ゲート幅方向に隣接する他のメモリセルMに対して電気的に分離された状態において、ウエル領域2(半導体基板1)の表面部分に配設されている。すなわち、メモリセルMは、チャネル形成領域として使用されるウエル領域2と、ウエル領域2上の第1のゲート絶縁膜4と、第1のゲート絶縁膜4上の浮遊電極5と、浮遊電極5上の第2のゲート絶縁膜6と、第2のゲート絶縁膜6上の制御電極(コントロールゲート電極)7と、ソース領域及びドレイン領域として使用される一対のn型半導体領域8とを備えている。

## 【0031】

第1のゲート絶縁膜4はトンネル絶縁膜として使用されている。この第1のゲート絶縁膜4には、例えばシリコン酸化膜、シリコン窒化膜等の単層膜、又はそれらを組み合わせた複合膜を実用的に使用することができる。

## 【0032】

浮遊電極5は、情報となる電荷の蓄積部として使用され、例えばシリコン多結晶膜により形成されている。この浮遊電極5のゲート幅方向の両端部分は、素子分離領域3に対する製造上のアライメントずれを防止するために、素子分離領域3上に重複(オーバーラップ)して配置されている。

## 【0033】

第2のゲート絶縁膜6には、高電圧による情報書き込み動作及び情報消去動作と、低電圧による情報読み出し動作とを効率良く実施するために、誘電率が高く、かつ絶縁耐圧が高い、例えばシリコン酸化膜、シリコン窒化膜、シリコン酸化膜のそれぞれを順次積層した複合膜(ONO誘電体膜)を実用的に使用することができる。

## 【0034】

制御電極7には、製造上の安定性、低抵抗値性等を考慮し、シリコン多結晶膜上に高融点金属シリサイド膜を積層した複合膜を実用的に使用することができる。本発明の第1の実施の形態において、制御電極7には、シリコン多結晶膜上にタンゲステンシリサイド膜を積層した複合膜(ポリサイド膜)が使用されている。

## 【0035】

メモリセルユニットMUにおいて、メモリセルMのソース領域として使用される半導体領域8と、ゲート長方向(ピット線延在方向)に隣接する他のメモリセルMのドレイン領域として使用される半導体領域8とは、素子分離領域3を介在させずに、一体的に形成され、かつ兼用されている。

## 【0036】

ゲート幅方向において隣接するメモリセルMの制御電極7間は相互に電気的に接続され、メモリセルアレイMAにおいてゲート幅方向に延在するワード線7WLを構成している。このワード線7WLはゲート長方向にメモリセルMの配列ピッチに合わせて複数本配列されている。ワード線7WLは制御電極7と同一ゲート電極層により形成され、同一材料により形成されている。換言すれば、ワード線7WLは、メモリセルMにおいて制御電極7として使用されている。

## 【0037】

ワード線7WL上には、層間絶縁膜9A及び9Bを介在し、ゲート長方向に延在し、かつゲート幅方向に複数本配列されたピット線11が配設されている。ピット線11は、層間絶縁膜9A及び9Bに形成された接続孔9D及び9Cを通してユニット選択トランジスタMS1に接続され、このユニット選択トランジスタMS1を通してメモリセルユニットMUの初段のメモリセルMに電気的に接続され

ている。

【0038】

メモリセルユニットMUの終段のメモリセルMは、ユニット選択トランジスタMS2を通してソース線10に接続されている。ソース線10は、層間絶縁膜9A上においてゲート幅方向に延在し、層間絶縁膜9Aに形成された接続孔9Dを通してユニット選択トランジスタMS2に接続されている。

【0039】

本発明の第1の実施の形態において、ソース線10は、第1層目の配線層により形成され、例えばアルミニウム合金膜(A1-Si, A1-Cu, A1-Cu-Si等)により形成されている。一方、ビット線11は、第2層目の配線層により形成され、例えば第1層目の配線層と同様の材料により形成される。なお、本発明の第1の実施の形態においては、ビット線11は第1層目の配線層として形成し、ソース線は半導体領域(拡散層)により形成しもよい。

【0040】

素子分離領域3にはSTI構造が採用され、図1及び図3に示すように、素子分離領域3は、メモリセルアレイMAにおいて、メモリセルM(トランジスタ)のゲート幅寸法を決定し、ゲート長方向に延在している。素子分離領域3の第1のトレンチ30は、基本的には、ウエル領域2の表面から深さ方向に向かってほぼ均一なトレンチ幅を有している。必ずしもこの数値に限定されるものではないが、本発明の第1の実施の形態において、第1のトレンチ30は、例えば0.13μm~0.16μmのトレンチ幅とウエル領域2の表面から0.20μm~0.25μmの深さに設定されている。

【0041】

素子分離領域30の分離用充填材31にはシリコン酸化膜を実用的に使用することができます。また、分離用充填材31には、シリコン窒化膜や、シリコン酸化膜とシリコン多結晶膜とを組み合わせた充填材を使用することができる。

【0042】

素子分離領域30に配設された第2のトレンチ20は、本発明の第1の実施の形態において、図1に示すようにV字型形状の断面形状を有する。ゲート幅方向に

隣接するメモリセルMの浮遊電極5間の寄生容量を減少するために、第2のトレンチ20の深さは、第1のトレンチ30の深さよりも浅く、ウエル領域2の表面と同等か若しくは深いことが好ましい。例えば、第2のトレンチ20は、0.05  $\mu\text{m}$ ~0.08  $\mu\text{m}$ のトレンチ幅と分離用充填材31の表面から0.08  $\mu\text{m}$ ~0.10  $\mu\text{m}$ の深さに設定されている。さらに、第2のトレンチ20の表面部分のトレンチ幅と底部分のトレンチ幅との比率は、V字型形状の断面形状とすることで、第1のトレンチ30の表面部分のトレンチ幅と底部分のトレンチ幅との比率よりも大きくなる。

#### 【0043】

ユニット選択トランジスタMS1、MS2は、図2及び図3に示すように、チャネル形成領域として使用されるウエル領域2と、ウエル領域2上のゲート絶縁膜4Aと、ゲート絶縁膜4A上のゲート電極7Aと、ソース領域及びドレイン領域として使用される一対のn型半導体領域8とを備えている。ゲート電極7AはメモリセルMの制御電極7と同一導電層により形成されている。ゲート電極7Aには、ワード線7WLと同一方向に延在し、かつ同一導電層により形成されたセレクト線7SLが電気的に接続されている。

#### 【0044】

このように、表面部分に比べて底面部分のトレンチ幅を小さくした第2のトレンチ20を備えることにより、図1に示すように、第2のトレンチ20の底面部分とウエル領域2との間の離間寸法L1及びL2を長くすることができる。従って、第2のトレンチ20内部に埋設されたワード線7WLとウエル領域2との間の絶縁耐圧を向上することができ、たとえ第2のトレンチ20が素子分離領域3に対してゲート幅方向にアライメントずれを生じても、ワード線7WLとウエル領域2との間の電気的な短絡を防止することができる。

#### 【0045】

さらに、第2のトレンチ20の底面部分の電界集中が発生しやすい部分Cにおいても、ウエル領域2との間の離間寸法L1及びL2を長くすることができるので、ワード線7WLとウエル領域2との間の電気的な短絡を防止することができる。

## 【0046】

結果的に、NAND型EEPROMにおいて、第2のトレンチ20を備えたことにより、メモリセルM間の寄生容量を減少して誤書き込み動作を防止することができるとともに、ワード線7WLとウエル領域2との間の短絡を防止して電気的信頼性を向上することができる。

## 【0047】

## [不揮発性記憶回路を備えた半導体装置の製造方法]

次に、図4乃至図11を用い、本発明の第1の実施の形態に係るNAND型EEPROMを備えた半導体装置の製造方法を説明する。

## 【0048】

## (1) ウエル領域2の形成工程

まず、シリコン単結晶基板からなる半導体基板1を準備し、図4に示すように、半導体基板1の表面部分にウエル領域2を形成する。

## 【0049】

## (2) 素子分離領域3の形成工程

ウエル領域2上に、10nmの膜厚のシリコン酸化膜50、60nmの膜厚のシリコン多結晶膜51、シリコン窒化膜52、シリコン酸化膜53のそれぞれを順次堆積する。シリコン酸化膜50は第1のゲート絶縁膜4として使用され、シリコン多結晶膜51は浮遊電極5の下層部分として使用される。引き続き、最上層のシリコン酸化膜53上に、フォトリソグラフィ技術により、素子分離領域3の形成領域が開口されたフォトレジストマスク54を形成する。フォトレジストマスク54を使用し、反応性イオンエッティング(RIE: reactive ion etching)により、図5に示すように、シリコン酸化膜53、シリコン窒化膜52をパターンニングする。

## 【0050】

半導体基板1をO<sub>2</sub>プラズマ中に曝し、フォトレジストマスク54を除去する。このフォトレジストマスク54の除去により露出されたシリコン酸化膜53をエッティングマスクとして使用し、RIEにより、シリコン多結晶膜51、シリコン酸化膜50を順次パターンニングする。さらに、図6に示すように、ウエル領

域2の表面から深さ方向に向かって第1のトレンチ30を形成する。

## 【0051】

次に、 $O_2$ 雰囲気において加熱し、第1のトレンチ30の内壁上及び底面上に6nmの膜厚のシリコン酸化膜55を形成する。この後、高密度プラズマ(HD P: high density plasma)法により、図7に示すように、少なくとも第1のトレンチ30を埋設するシリコン酸化膜56を形成する。本発明の第1の実施の形態においては、第1のトレンチ30内部に形成されるシリコン酸化膜55及び56が分離用充填材31として使用される。

## 【0052】

ケミカルメカニカルポリッシング(CMP:chemical mechanical polishing)法により、シリコン酸化膜56の表面を平坦化する。この平坦化は、シリコン窒化膜52に到達するか、到達前まで行われる。引き続き、窒素ガス雰囲気中においてシリコン酸化膜56の表面、残存するシリコン酸化膜53を窒化する。 $NH_4F$ 溶液に浸した後、150°Cの温度においてリン酸処理を行い、半導体基板1上のすべてのシリコン窒化膜52等を除去し、図8に示すように、第1のトレンチ30に分離用充填材31(シリコン酸化膜55及び56)が充填された素子分離領域3を完成させることができる。

## 【0053】

## (3) 浮遊電極5の第1の形成工程

メモリセルM形成領域のシリコン多結晶膜51上及び素子分離領域3の分離用充填材31上を含む半導体基板1の全面に、減圧CVD法によりn型不純物としてPが添加されたシリコン多結晶膜58とシリコン酸化膜59(図9参照。)とを順次堆積する。フォトリソグラフィ技術により、ゲート幅方向に隣接するメモリセルM形成領域間が少なくとも開口されたフォトレジストマスク(図示しない。)を形成する。このフォトレジストマスクを使用し、RIE法によりシリコン酸化膜59をパターンニングする。 $O_2$ プラズマ中に半導体基板1を曝し、フォトレジストマスクを除去する。

## 【0054】

シリコン酸化膜59上、このシリコン酸化膜59の開口内壁及び開口内に露出

するシリコン多結晶膜58上を含む半導体基板1の全面に、減圧CVD法により、シリコン酸化膜60を堆積する。このシリコン酸化膜60の堆積した膜厚に相当する分、このシリコン酸化膜60をエッチバックし、シリコン酸化膜59の開口内壁にのみシリコン酸化膜60を残す。

## 【0055】

シリコン酸化膜59及びその開口内壁に形成されたシリコン酸化膜60をエッティングマスクとして利用し、RIE法により、図9に示すように、シリコン多結晶膜58をパターンニングする。このパターンニングにより、浮遊電極5のゲート幅方向の寸法が決定され、シリコン多結晶膜58のゲート幅方向の両端部分は、製造上のアライメントずれに相当する分、素子分離領域3上に重複して形成される。

## 【0056】

## (4) 第2のトレンチ20の形成工程

引き続き、シリコン酸化膜59及び60をエッティングマスクとして利用し、RIE法により、図10に示すように、素子分離領域3の分離用充填材31にその表面から深さ方向に向かって第2のトレンチ20を形成する。RIEは、例えば以下の条件により行う。

## 【0057】

- a. エッティング時間 = 29秒
- b. エッティング圧力 = 7.98Pa
- c. エッティングパワー = 600W
- d. エッティングガス流量  $C_4F_8/O_2/Ar$   
 $= 20\text{ sccm}/5\text{ sccm}/50\text{ sccm}$
- e. エッティングチャンバ内の上部温度/側壁温度/底部温度  
 $= 60^\circ\text{C}/60^\circ\text{C}/20^\circ\text{C}$
- f. 静電チャックの印加電圧 = 1.2kV
- g. バックヘリウム圧力 = 931Pa/5320Pa

このような条件下において、第2のトレンチ20は、エッティングマスク61すなわち浮遊電極5に対して自己整合により形成され、V字断面形状により形成され

る。この結果、素子分離領域3に対して第2のトレンチ20に製造上のアライメントずれが生じても、第2のトレンチ20の内壁の傾斜角度が第1のトレンチ30の内壁の傾斜角度に対して大きいので、第2のトレンチ20の内壁とウエル領域2との間の離間距離L1及びL2を充分に確保することができる。

## 【0058】

さらに、シリコン多結晶膜58すなわち浮遊電極5を形成するエッチングマスク（シリコン酸化膜59及び60）を利用して第2のトレンチ20を形成することができるので、マスク形成工程を省略し、製造工程数を削減することができる。

## 【0059】

第2のトレンチ20を形成した後、薄いNH<sub>4</sub>F溶液に半導体基板1を浸し、シリコン酸化膜59及び60を除去する。

## 【0060】

## (5) 第2のゲート絶縁膜6の形成工程

次に、半導体基板1を薄いNH<sub>4</sub>F溶液に浸す。この後、少なくともシリコン多結晶膜58上を含む半導体基板1の全面に、減圧CVD法により、シリコン酸化膜、シリコン窒化膜、シリコン酸化膜のそれぞれを順次堆積し、酸化雰囲気中において熱処理を行うことにより、ONO構造を有する第2のゲート絶縁膜6を形成する。この工程と同一製造工程において、第2のトレンチ20内壁に沿って同一構造を有する絶縁膜6Aが形成される。

## 【0061】

## (6) 浮遊電極5の第2の形成工程及び制御電極7の形成工程

次に、少なくとも第2のゲート絶縁膜6上を含む半導体基板1の全面に、減圧CVD法により、シリコン多結晶膜70を堆積する。引き続きシリコン多結晶膜70上にPVD法によりタングステンシリサイド膜71を堆積する。

## 【0062】

タングステンシリサイド膜71上に、減圧CVDにより、20nmの膜厚のシリコン酸化膜（図示しない。）を形成する。引き続き、このシリコン酸化膜上に、フォトリソグラフィ技術により、制御電極7の形成領域及びワード線7WLの形成領域にパターンを有するフォトレジストマスク（図示しない。）を形成する

。このフォトレジストマスクを使用し、RIE法により、シリコン酸化膜をパターンニングし、このシリコン酸化膜からなるエッチングマスク62（図11参照。）を形成する。この後、フォトレジストマスクは剥離する。

#### 【0063】

エッチングマスク62を使用し、RIEにより、タンゲステンシリサイド膜71、シリコン多結晶膜70、第2のゲート絶縁膜6、シリコン多結晶膜58のそれを順次パターンニングする。このパターンニングにより、図11に示すように、シリコン多結晶膜70とタンゲステンシリサイド膜71とからなる制御電極7及びワード線7WLが形成され、さらにシリコン多結晶膜51と58とからなる浮遊電極5が形成される。また、同一製造工程により、素子分離領域3に形成された第2のトレンチ20内部には、絶縁膜6Aを介在してワード線7WLの少なくともシリコン多結晶膜70の一部が埋設される。

#### 【0064】

##### （7）ソース領域及びドレイン領域の形成工程

エッチングマスク62を使用し、ウエル領域2の主面部に、イオン注入法によりn型不純物を注入し、ソース領域及びドレイン領域として使用されるn型半導体領域8を形成する（図2参照。）。この後、エッチングマスク62は除去される。

#### 【0065】

この半導体領域8を形成することにより、メモリセルMを完成させることができる。また、このメモリセルMとほぼ同一製造工程により、ユニット選択トランジスタMS1及びMS2を完成させることができる。

#### 【0066】

##### （8）ソース線10及びビット線11の形成工程

制御電極7上、ワード線7WL上等を含む半導体基板1の全面に層間絶縁膜9Aを形成する。ユニット選択用トランジスタMS2のソース領域となる半導体領域8上において、この層間絶縁膜9Aに接続孔9Dを形成する。この接続孔9Dを通して半導体領域8に接続するように、層間絶縁膜9A上にソース線10を形成する。

## 【0067】

ソース線10上を含む半導体基板1の全面に層間絶縁膜9Bを形成する。ユニット選択用トランジスタM S 1のドレイン領域となる半導体領域8上において、層間絶縁膜9Bに接続孔9Cを形成する。この接続孔9C及び9Dを通して半導体領域8に接続するように層間絶縁膜9B上にビット線11を形成する。

## 【0068】

これら一連の製造工程が終了すると、本発明の第1の実施の形態に係るN A N D型不揮発性記憶回路を備えた半導体装置を完成させることができる。

## 【0069】

このような本発明の第1の実施の形態に係る半導体装置の製造方法においては、加工条件を適正に選定することにより、V字型形状の断面形状を有する第2のトレンチ20を簡単に形成することができる。さらに、素子分離領域3に対して第2のトレンチ20に製造上のアライメントずれを生じても、第2のトレンチ20内壁とウエル領域2との間の離間距離L1及びL2を充分に確保することができる。

## 【0070】

従って、前述のN A N D型不揮発性記憶回路を備えた半導体装置を簡易に製造することができる。

## 【0071】

## (第2の実施の形態)

本発明の第2の実施の形態は、本発明の第1の実施の形態に係るN A N D型不揮発性記憶回路を備えた半導体装置において、第2のトレンチ20の断面形状を代えた例を説明するものである。

## 【0072】

本発明の第2の実施の形態に係るN A N D型不揮発性記憶回路を備えた半導体装置は、図12に示すように、素子分離領域3の分離用充填材31に、U字型の断面形状を有する第2のトレンチ21を備えている。すなわち、本発明の第1の実施の形態に係る第2のトレンチ20と同様に、第2のトレンチ21は、ゲート幅方向において表面部分のトレンチ幅に対して深さ部分のトレンチ幅を小さく形

成している。従って、第2のトレンチ21の特に底部の側壁とウエル領域2との間の離間距離L1及びL2を充分に確保することができ、ワード線7WLとウエル領域2との間の絶縁耐圧を向上することができる。

## 【0073】

さらに、第2のトレンチ21の深さ部分の断面形状が曲面により形成されているので、この部分での電界集中の発生を防止することができ、より一層、ワード線7WLとウエル領域2との間の絶縁耐圧を向上することができる。

## 【0074】

第2のトレンチ21の形成方法は、前述の本発明の第1の実施の形態に係る第2のトレンチ20のエッチング条件を若干変更するだけで、また異方性エッチングと等方性エッチングとを組み合わせることにより、簡易に実現することができる。

## 【0075】

このように構成される本発明の第2の実施の形態に係るNAND型不揮発性記憶回路を備えた半導体装置においては、前述の本発明の第1の実施の形態に係るNAND型不揮発性記憶回路を備えた半導体装置により得られる効果と同様の効果を得ることができる。

## 【0076】

## (第3の実施の形態)

本発明の第3の実施の形態は、本発明の第1の実施の形態に係るNAND型不揮発性記憶回路を備えた半導体装置において、第2のトレンチ20の断面形状を代えた例を説明するものである。

## 【0077】

本発明の第3の実施の形態に係るNAND型不揮発性記憶回路を備えた半導体装置は、図13に示すように、素子分離領域3の分離用充填材31に、逆台形形状の断面形状を有する第2のトレンチ22を備えている。すなわち、本発明の第1の実施の形態に係る第2のトレンチ20と同様に、第2のトレンチ22は、ゲート幅方向において表面部分のトレンチ幅に対して深さ部分のトレンチ幅を小さく形成している。従って、第2のトレンチ22の特に底部の側壁とウエル領域2

との間の離間距離  $L_1$  及び  $L_2$  を充分に確保することができ、ワード線  $7WL$  とウエル領域  $2$  との間の絶縁耐圧を向上することができる。

【0078】

さらに、第2のトレンチ  $22$  の側壁と底面とのなす角度が  $90$  度よりも大きくなっているので、この部分での電界集中の発生を防止することができ、より一層、ワード線  $7WL$  とウエル領域  $2$  との間の絶縁耐圧を向上することができる。

【0079】

第2のトレンチ  $22$  の形成方法は、前述の本発明の第1の実施の形態に係る第2のトレンチ  $20$  のエッティング条件を若干変更するだけで、特にサイドエッティング量を若干大きめに制御することにより、簡易に実現することができる。

【0080】

このように構成される本発明の第3の実施の形態に係るNAND型不揮発性記憶回路を備えた半導体装置においては、前述の本発明の第1の実施の形態に係るNAND型不揮発性記憶回路を備えた半導体装置により得られる効果と同様の効果を得ることができる。

【0081】

(第4の実施の形態)

本発明の第4の実施の形態は、本発明の第1の実施の形態に係るNAND型不揮発性記憶回路を備えた半導体装置において、素子分離領域  $3$  の第1のトレンチ  $30$  に対して第2のトレンチを自己整合(セルフアライメント)により形成した例を説明するものである。

【0082】

[不揮発性記憶回路を備えた半導体装置の製造方法]

以下、図14乃至図20を用い、本発明の第4の実施の形態に係るNAND型EEPROMを備えた半導体装置の製造方法を説明する。

【0083】

(1) ウエル領域  $2$  の形成工程

まず、シリコン単結晶基板からなる半導体基板  $1$  を準備する。この後、本発明の第1の実施の形態に係る不揮発性記憶回路を備えた半導体装置の製造方法の図

4に示す工程と同様に、半導体基板1の表面部分にウエル領域2を形成する。

## 【0084】

## (2) 浮遊電極5の第1の形成工程

ウエル領域2上に、10nmの膜厚のシリコン酸化膜50、150nmの膜厚のシリコン多結晶膜51、シリコン窒化膜52、シリコン酸化膜53のそれぞれを順次堆積する。シリコン酸化膜50は第1のゲート絶縁膜4として使用され、シリコン多結晶膜51は浮遊電極5として使用される。ここで、浮遊電極5の最終的な膜厚はこのシリコン多結晶膜51の膜厚により決定される。

## 【0085】

引き続き、最上層のシリコン酸化膜53上に、フォトリソグラフィ技術により、素子分離領域3の形成領域が開口されたフォトレジストマスク54を形成する。フォトレジストマスク54を使用し、RIEにより、図14に示すように、シリコン酸化膜53、シリコン窒化膜52をパターンニングする。

## 【0086】

半導体基板1をO<sub>2</sub>プラズマ中に曝し、フォトレジストマスク54を除去する。このフォトレジストマスク54の除去により露出されたシリコン酸化膜53をエッティングマスクとして使用し、RIEにより、図15に示すように、シリコン多結晶膜51、シリコン酸化膜50を順次パターンニングする。このパターンニングにより、シリコン多結晶膜51により、ゲート幅寸法が決定された浮遊電極5を形成することができる。

## 【0087】

## (3) 素子分離領域3の形成工程

引き続き、シリコン酸化膜53をエッティングマスクとして使用し、RIEにより、図16に示すように、ウエル領域2の表面から深さ方向に向かって第1のトレンチ30を形成する。第1のトレンチ30は、浮遊電極5(シリコン多結晶膜51)と同一のエッティングマスクにより形成されているので、浮遊電極5に対して自己整合により形成される。

## 【0088】

次に、O<sub>2</sub>雰囲気において加熱し、第1のトレンチ30の内壁上及び底面上に

6 nmの膜厚のシリコン酸化膜55を形成する。この後、HDP法により、図17に示すように、少なくとも第1のトレンチ30を埋設するシリコン酸化膜56を形成する。本発明の第4の実施の形態においては第1のトレンチ30内部に形成されるシリコン酸化膜55及び56が分離用充填材31として使用される。

## 【0089】

次に、CMP法によりシリコン酸化膜56の表面を平坦化する。この平坦化はシリコン窒化膜52に到達する前まで行われる。引き続き、窒素ガス雰囲気中で熱処理を施し、分離用充填材31を緻密化する。引き続き、シリコン窒化膜52をエッティングマスクとして、RIE法又はNH<sub>4</sub>Fにより、分離充填材31の上部を取り除く。このエッティングにより、分離充填材31の上面は、ウエル領域2の表面から0.03 μm～0.05 μmの高さに設定され、逆にシリコン多結晶膜51の上面より低くなるように設定される。引き続き、150℃の温度においてリン酸処理を行い、図18に示すように、半導体基板1上のすべてのシリコン窒化膜52を除去する。この工程が終了した時点において、同図18に示すように、浮遊電極5に対して自己整合により形成された第1のトレンチ30とこの第1のトレンチ30の内部に浮遊電極5に対して自己整合より埋設された分離用充填材31とにより、素子分離領域3をほぼ完成せることができる。

## 【0090】

## (4) 第2のトレンチ23の形成工程

シリコン多結晶膜51上及び素子分離領域3の分離用充填材31上を含む半導体基板1上の全面にCVD法によりシリコン酸化膜57を堆積する。シリコン酸化膜57は、シリコン多結晶膜51の上面及び側面並びに分離用充填材31の上面に均一な膜厚で堆積され、ゲート幅方向に隣接する浮遊電極5（シリコン多結晶膜51）間が堆積した膜厚以上に厚くならないように形成される。

## 【0091】

次に、RIE法等の異方性エッティングにより、少なくとも堆積した膜厚に相当する分、シリコン酸化膜57をエッティングバックし、図19に示すように、浮遊電極5の側壁にサイドウォールスペーサ59Sを形成する。このサイドウォールスペーサ59Sは、結果的に浮遊電極5及び素子分離領域3の第1のトレンチ30

に対して自己整合により形成される。さらに、サイドウォールスペーサ59Sの、浮遊電極5の側面からの厚さtは、実質的にシリコン酸化膜57の成膜量に対応し、高い精度により制御できる。

#### 【0092】

次に、サイドウォールスペーサ59S及び浮遊電極5をエッティングマスクとして使用し、RIE法により、図20に示すように、ゲート幅方向に隣接するサイドウォールスペーサ59S間の分離用充填材31の表面から深さ方向に向かって第2のトレンチ23を形成する。第2のトレンチ23の底面はウエル領域2の表面と同等か又は表面よりも深い位置に形成される。この第2のトレンチ23は、サイドウォールスペーサ59Sに対して自己整合により形成され、結果的に浮遊電極5及び素子分離領域3の第1のトレンチ30に対して自己整合により形成される。

#### 【0093】

このような本発明の第4の実施の形態に係る不揮発性記憶回路を備えた半導体装置の製造方法においては、浮遊電極5に対して第1のトレンチ30及び第2のトレンチ23を自己整合により形成することにより、ゲート幅方向において第1のトレンチ30の側壁と第2のトレンチ23の側壁との間の離間寸法L1及びL2を製造上のアライメントずれに影響されずに同一寸法で形成することができる。すなわち、本発明の第1の実施の形態乃至本発明の第3の実施の形態に係る不揮発性記憶回路を備えた半導体装置の第2のトレンチ20～22のような断面形状を備えていなくても、離間寸法L1及びL2のばらつきが根本的になくなるので、設計通りの充分な絶縁耐圧を確保することができる。

#### 【0094】

さらに、浮遊電極5、第1のトレンチ30は第2のトレンチ23は、最初に浮遊電極5を形成したマスク（シリコン酸化膜52）により形成することができるのマスク枚数を削減し、製造工程数を減少することができる。

#### 【0095】

なお、本発明の第4の実施の形態に係る不揮発性記憶回路を備えた半導体装置の製造方法においては、第2のトレンチ23の形成後に半導体基板1をNH<sub>4</sub>F溶

液に浸し、サイドウォールスペーサ59Sを剥離する。

## 【0096】

(5) 第2のゲート絶縁膜6の形成工程及び以降の形成工程

第2のゲート絶縁膜6の形成工程並びにそれ以降の形成工程は、本発明の第1の実施の形態に係る不揮発性記憶回路を備えた半導体装置の製造方法と同一であるので、ここで説明は省略する。

## 【0097】

(その他の実施の形態)

本発明は上記複数の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

## 【0098】

例えば、前述の実施の形態はNAND型不揮発性記憶回路を備えた半導体装置について説明したが、本発明はNOR型不揮発性記憶回路を備えた半導体装置に適用することができる。

## 【0099】

また、前述の実施の形態は1トランジスタ構造を有するメモリセルについて説明したが、本発明は2トランジスタ構造を有するメモリセルを備えた不揮発性記憶回路に適用してもよい。

## 【0100】

さらに、前述の第1の実施の形態乃至第3の実施の形態に係る不揮発性記憶回路を備えた半導体装置と第4の実施の形態に係る不揮発性記憶回路を備えた半導体装置とを組み合わせることができる。すなわち、本発明は、浮遊電極及び第1のトレンチに対して第2のトレンチを自己整合により形成するとともに、この第2のトレンチの断面形状をV字型、U字型又は逆台形形状により形成してもよい。

## 【0101】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。従って、本発明の技術的範囲は上記の説明から妥当な特許請求の

範囲に係る発明特定事項によってのみ定められるものである。

【0102】

【発明の効果】

本発明によれば、情報書き込み動作における誤書き込みを防止することができるとともに、ワード線と半導体基板との間の電気的短絡を防止し、電気的信頼性の高い不揮発性記憶回路を備えた半導体装置を提供することができる。

【0103】

さらに、本発明によれば、上記効果を得ることができる、不揮発性記憶回路を備えた半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る不揮発性記憶回路を備えた半導体装置の要部の断面構造図（図3に示すF1-F1切断面線で切った断面図）である。

【図2】

本発明の第1の実施の形態に係る不揮発性記憶回路を備えた半導体装置の要部の断面構造図（図3に示すF2-F2切断面線で切った断面図）である。

【図3】

本発明の第1の実施の形態に係る不揮発性記憶回路を備えた半導体装置の要部の平面図である。

【図4】

本発明の第1の実施の形態に係る不揮発性記憶回路を備えた半導体装置の第1の工程断面図である。

【図5】

図4に続く、第2の工程断面図ある。

【図6】

図5に続く、第3の工程断面図である。

【図7】

図6に続く、第4の工程断面図である。

【図8】

図7に続く、第5の工程断面図である。

【図9】

図8に続く、第6の工程断面図である。

【図10】

図9に続く、第7の工程断面図である。

【図11】

図10に続く、第8の工程断面図である。

【図12】

本発明の第2の実施の形態に係る不揮発性記憶回路を備えた半導体装置の要部の断面構造図である。

【図13】

本発明の第3の実施の形態に係る不揮発性記憶回路を備えた半導体装置の要部の断面構造図である。

【図14】

本発明の第4の実施の形態に係る不揮発性記憶回路を備えた半導体装置の第1の工程断面図である。

【図15】

図14に続く、第2の工程断面図ある。

【図16】

図15に続く、第3の工程断面図である。

【図17】

図16に続く、第4の工程断面図である。

【図18】

図17に続く、第5の工程断面図である。

【図19】

図18に続く、第4の工程断面図である。

【図20】

図19に続く、第5の工程断面図である。

【図21】

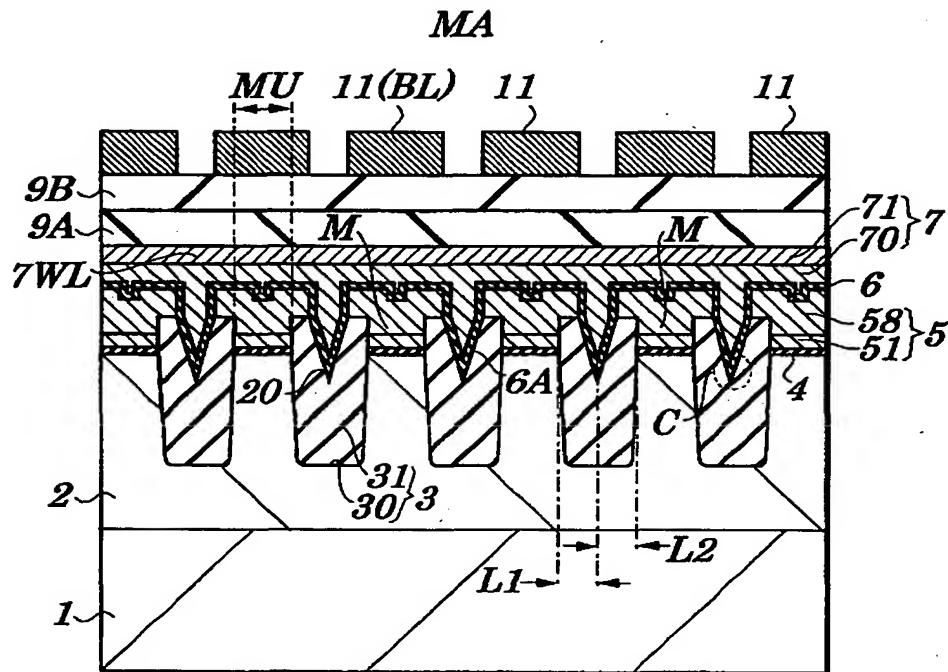
本発明の先行技術に係るNAND型EEPROMの要部の断面構造図である。

【符号の説明】

- 1 半導体基板
- 2 ウエル領域
- 3 素子分離領域
- 3 0 第1のトレンチ
- 3 1 分離用充填材
- 4 ゲート絶縁膜
- 5 浮遊電極
- 6 ゲート絶縁膜
- 6 A 絶縁膜
- 7 制御電極
- 7 WL ワード線
- 8 半導体領域
- 1 0 ソース線
- 1 1 ビット線
- 2 0, 2 1, 2 2, 2 3 第2のトレンチ
- M メモリセル

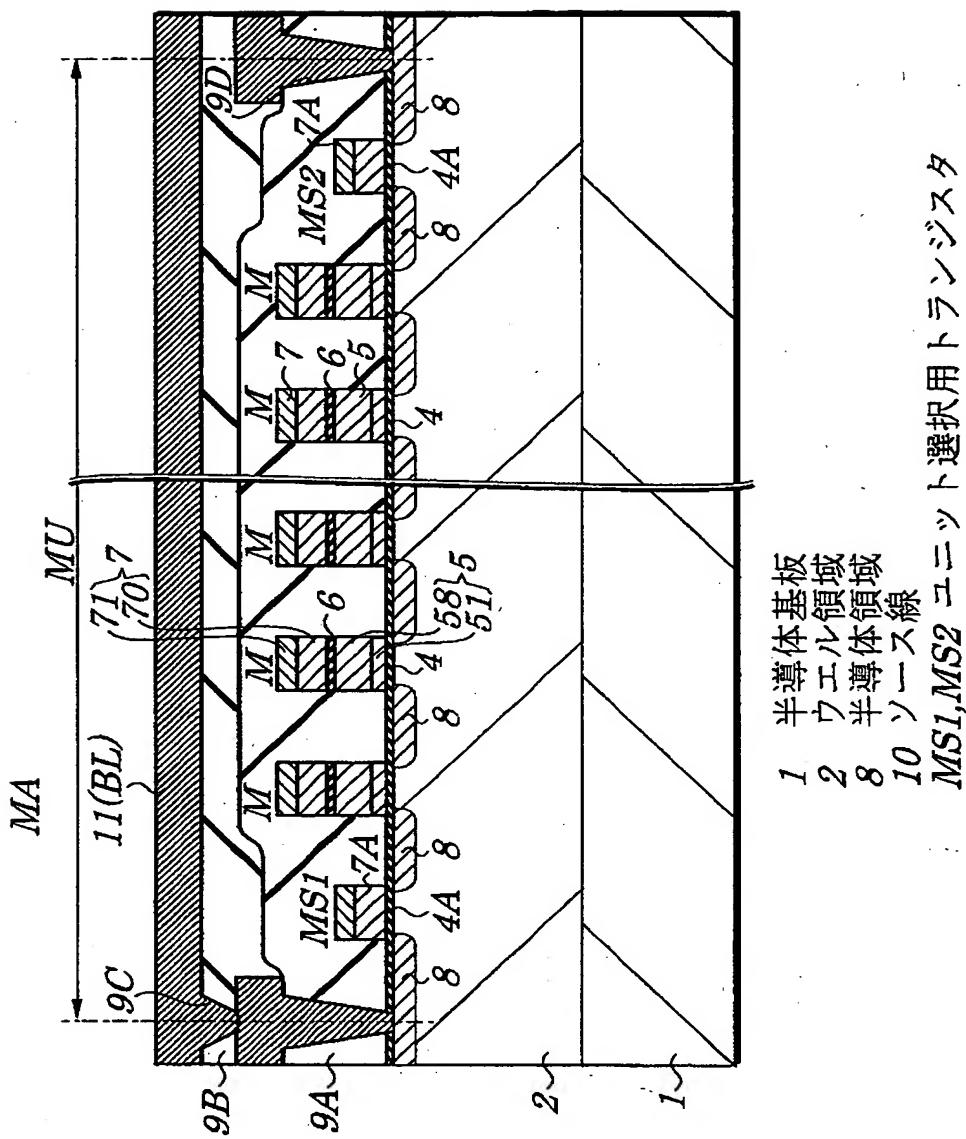
【書類名】 図面

【図1】

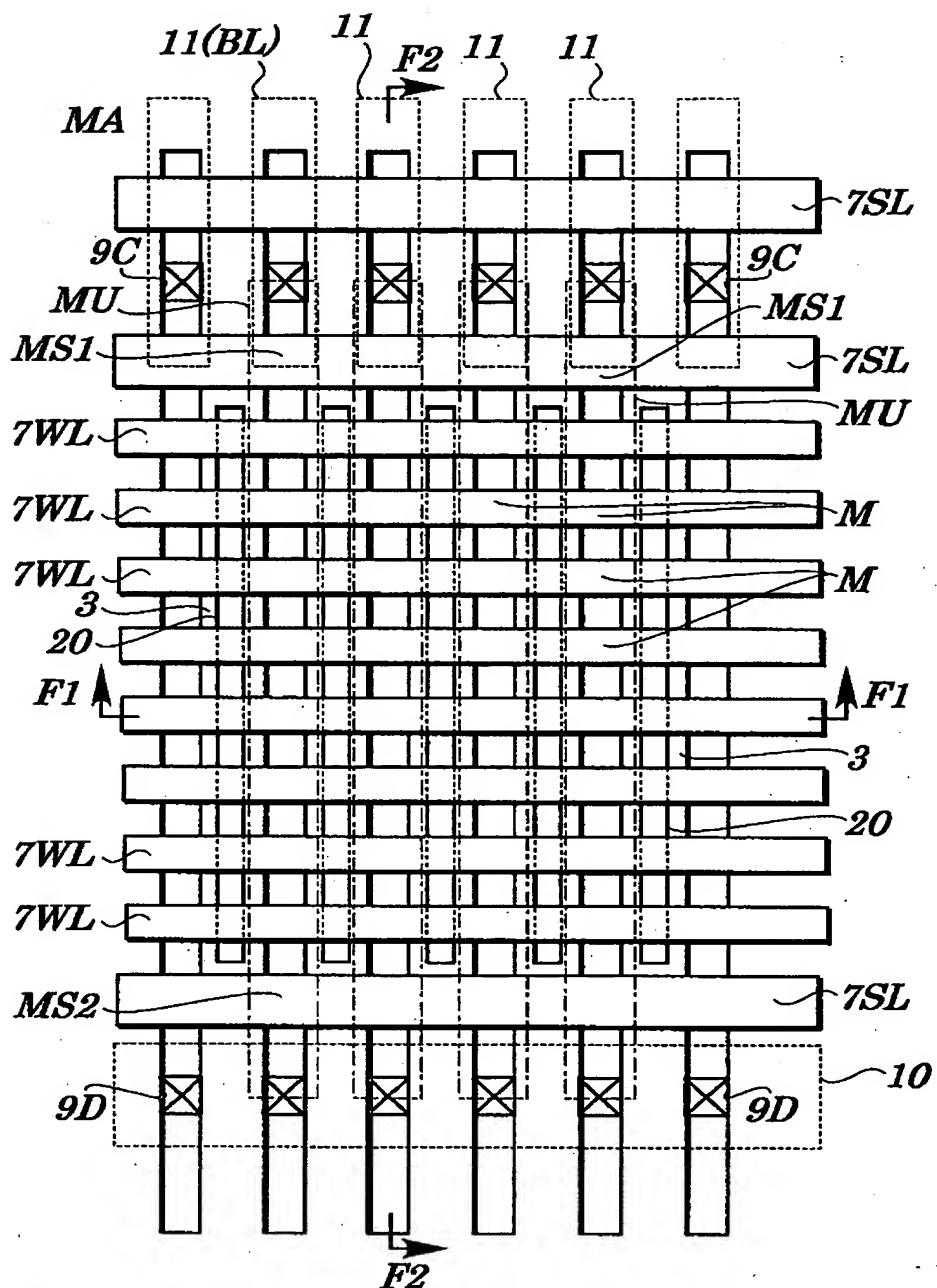


1 半導体基板	6 ゲート絶縁膜
2 ウエル領域	6A 絶縁膜
20 第2のトレンチ	7 制御電極
3 素子分離領域	7WL ワード線
30 第1のトレンチ	11 ビット線
31 分離用充填材	MA メモリセルアレイ
4 ゲート絶縁膜	MU メモリセルユニット
5 浮遊電極	M メモリセル

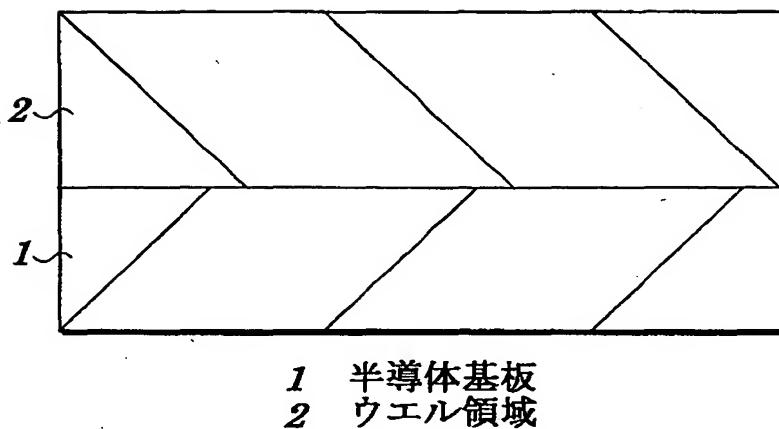
【図2】



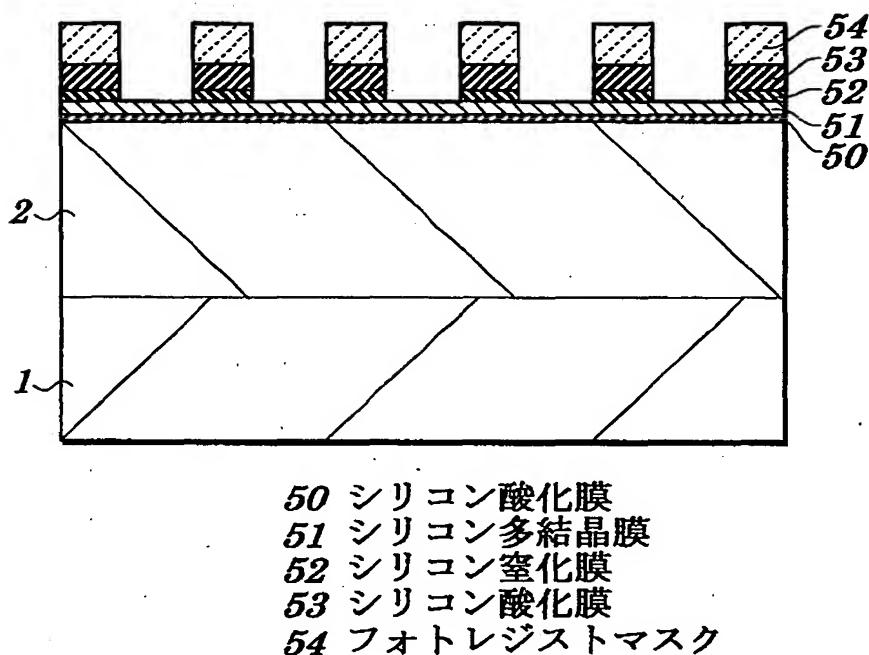
【図3】



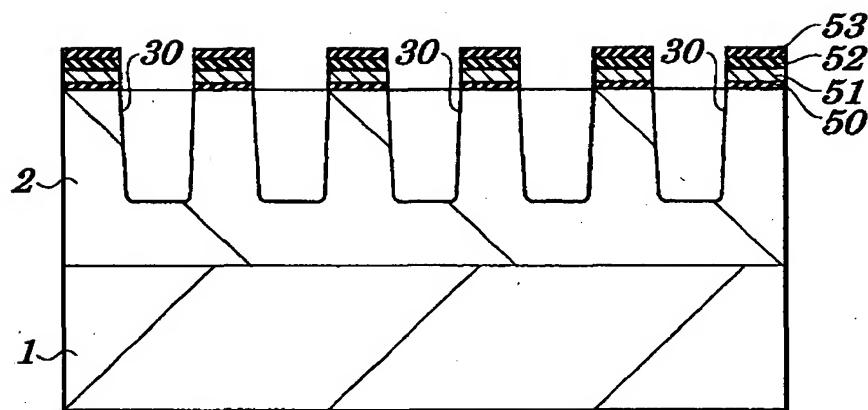
【図4】



【図5】

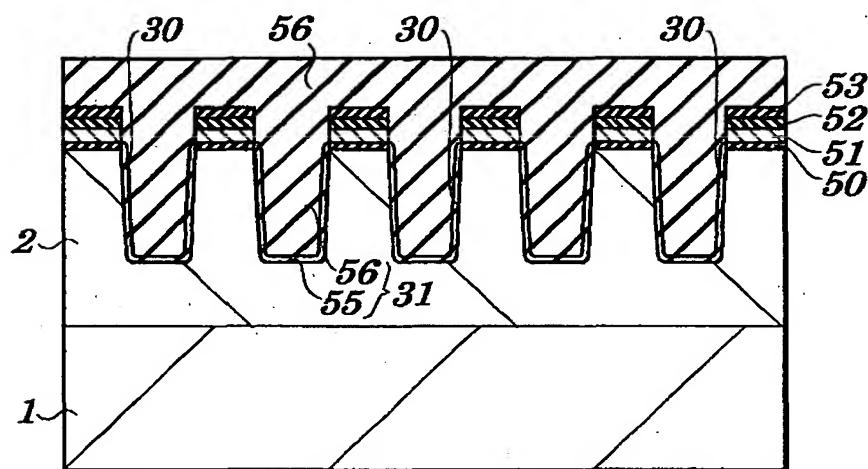


【図6】



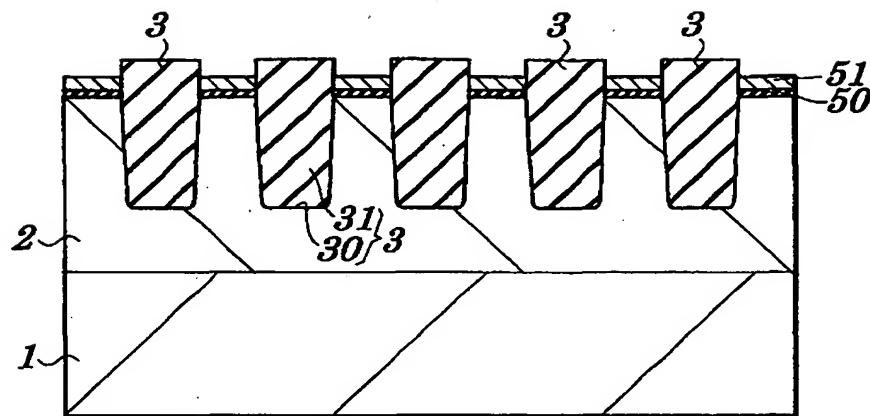
30 第1のトレンチ

【図7】



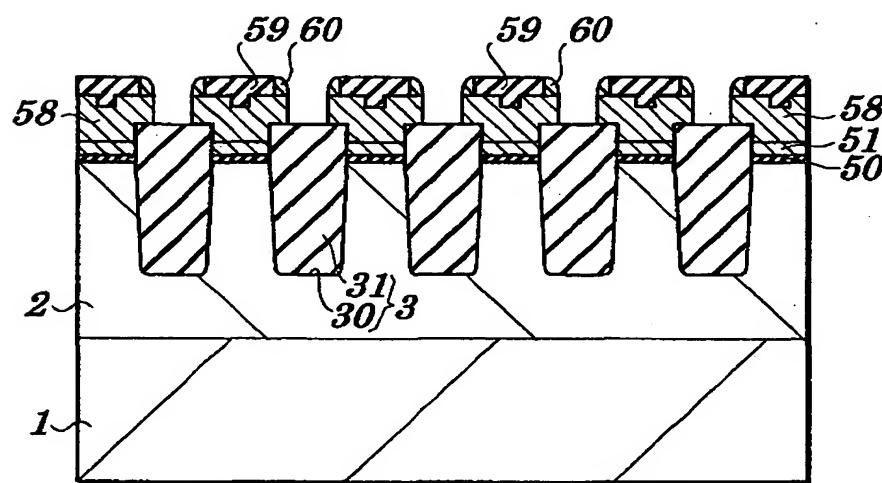
31 分離用充填材  
55 シリコン酸化膜  
56 シリコン酸化膜

【図8】



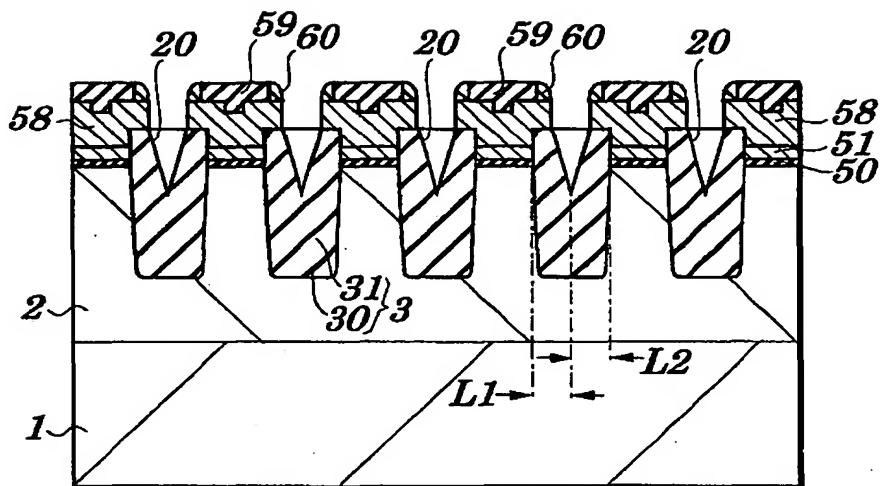
3 素子分離領域  
30 第1のトレンチ  
31 分離用充填材

【図9】



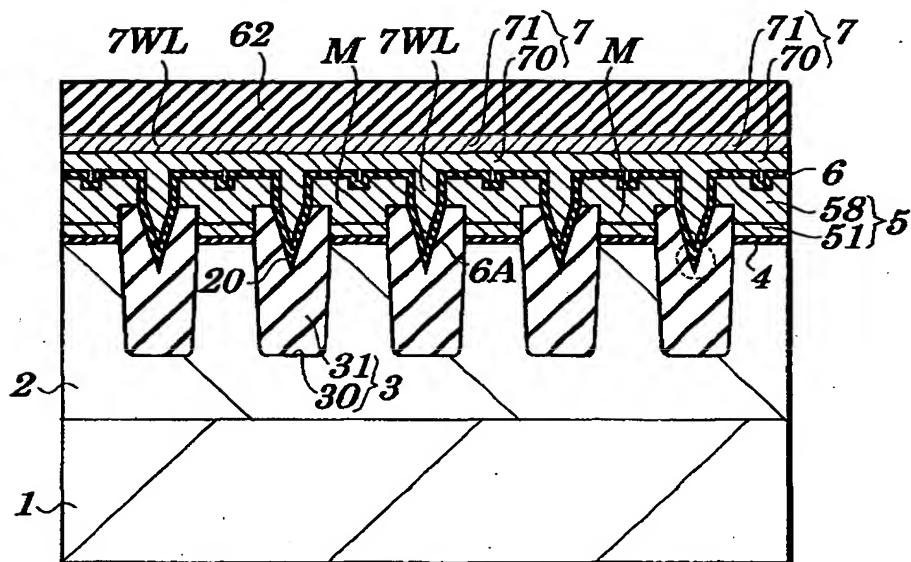
58 シリコン多結晶膜  
59, 60 シリコン酸化膜

【図10】



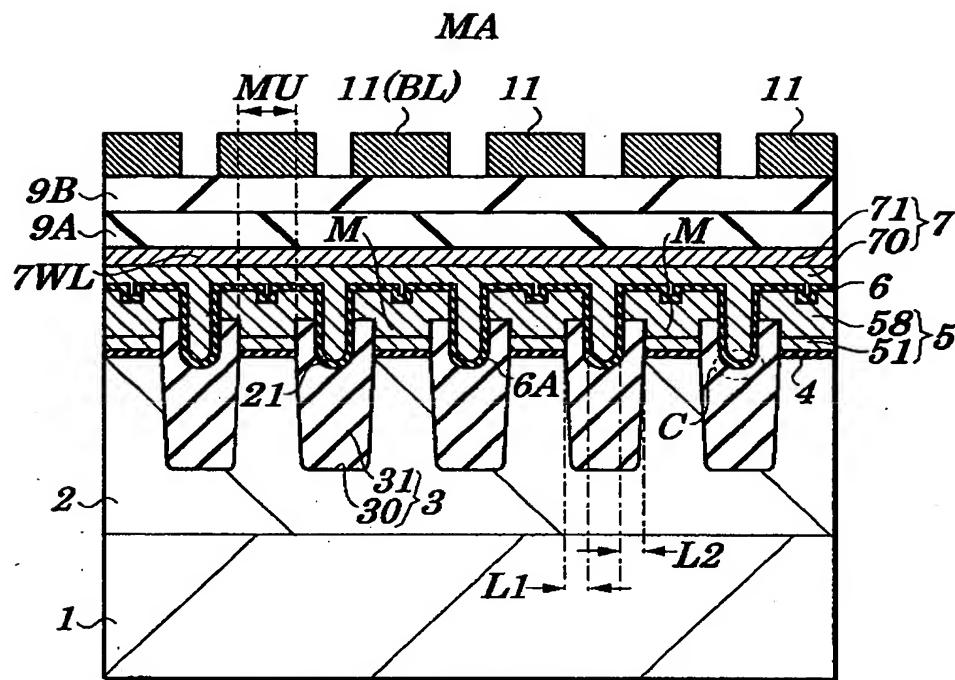
20 第2のトレンチ

【図11】



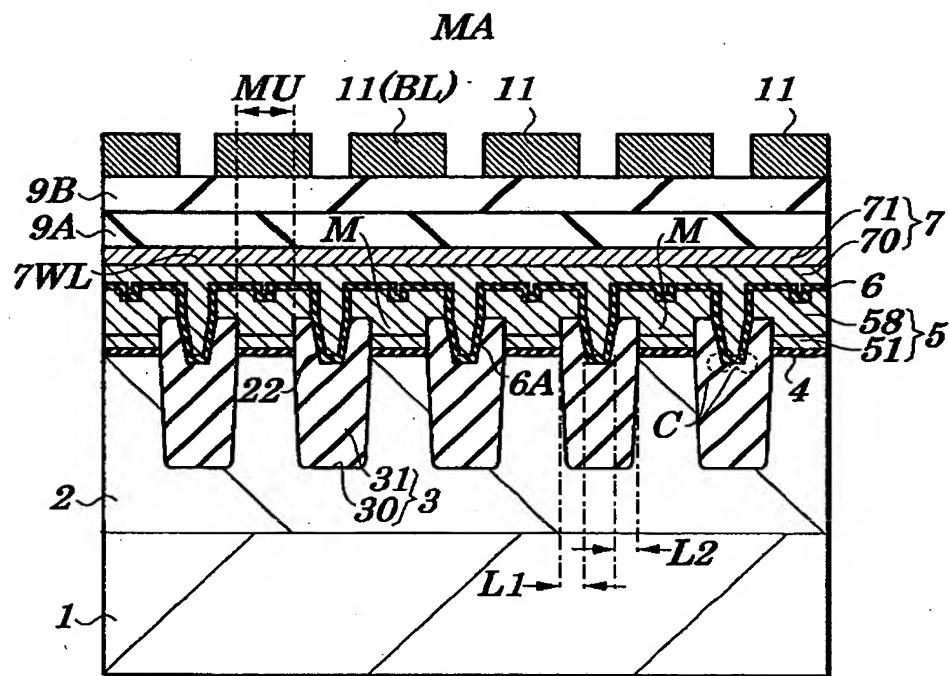
20 第2のトレンチ	4,6 ゲート絶縁膜
3 素子分離領域	6A 絶縁膜
30 第1のトレンチ	7 制御電極
31 分離用充填材	7WL ワード線
5 浮遊電極	62 エッチングマスク

【図12】



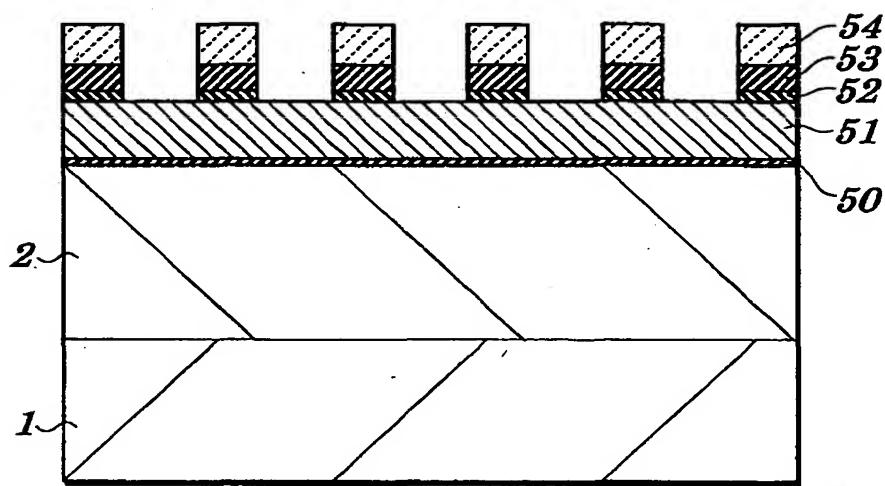
1 半導体基板	6 ゲート絶縁膜
2 ウエル領域	6A 絶縁膜
21 第2のトレンチ	7 制御電極
3 素子分離領域	7WL ワード線
30 第1のトレンチ	11 ビット線
31 分離用充填材	MA メモリセルアレイ
4 ゲート絶縁膜	MU メモリセルユニット
5 浮遊電極	M メモリセル

【図13】



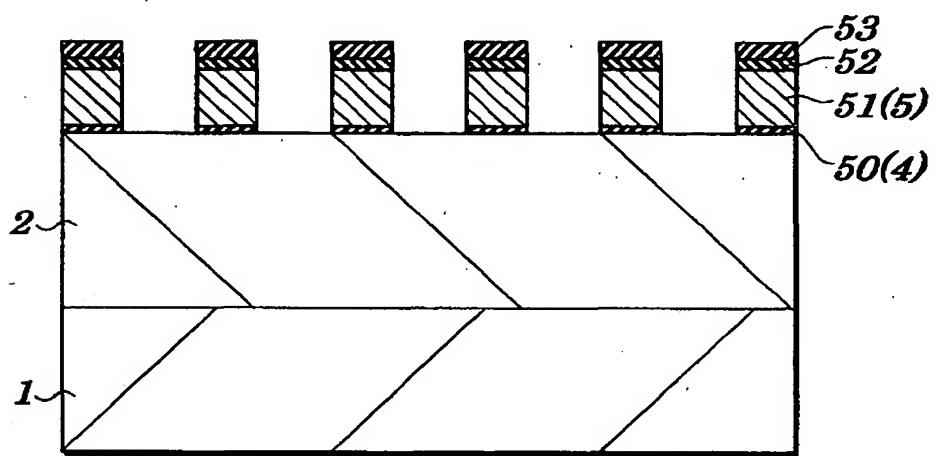
1 半導体基板	6 ゲート絶縁膜
2 ウエル領域	6A 絶縁膜
22 第2のトレンチ	7 制御電極
3 素子分離領域	7WL ワード線
30 第1のトレンチ	11 ピット線
31 分離用充填材	MA メモリセルアレイ
4 ゲート絶縁膜	MU メモリセルユニット
5 浮遊電極	M メモリセル

【図14】

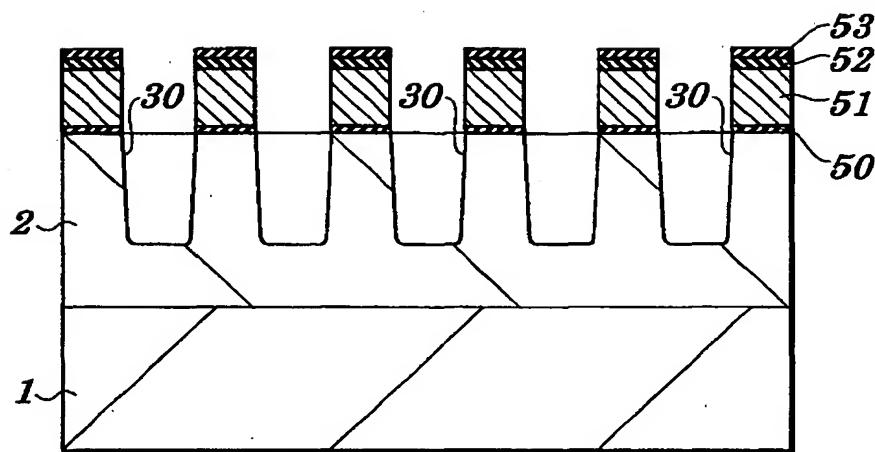


50 シリコン酸化膜  
51 シリコン多結晶膜  
52 シリコン窒化膜  
53 シリコン酸化膜  
54 フオトレジストマスク

【図15】

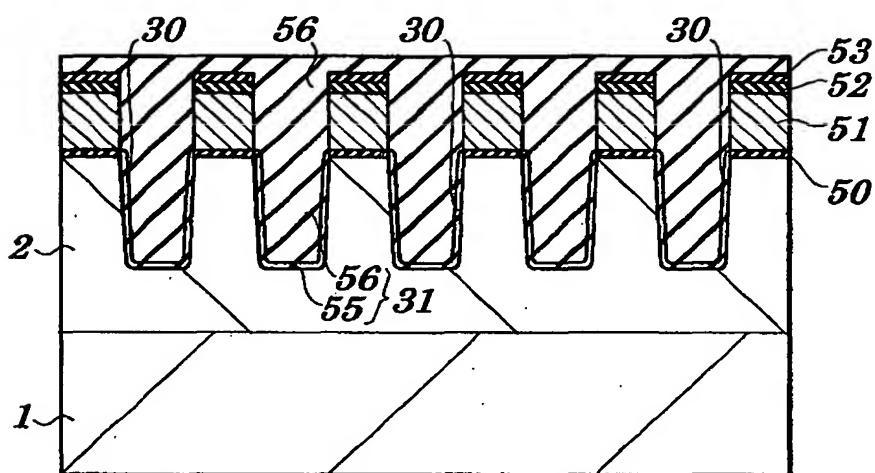


【図16】



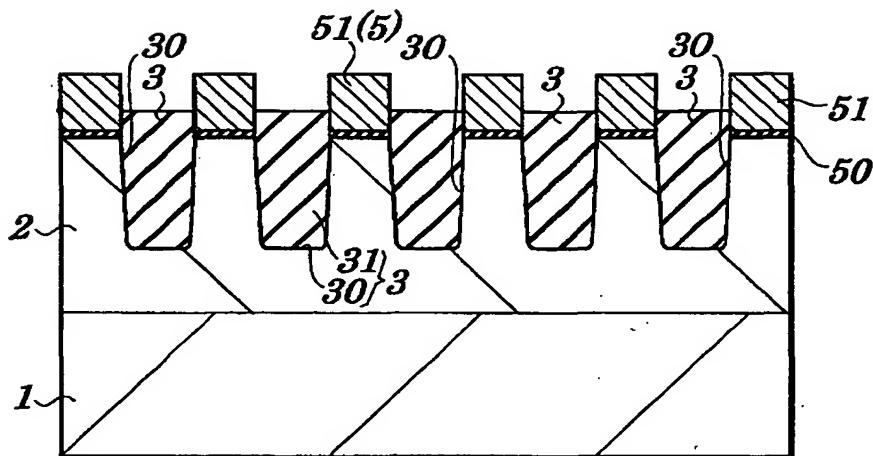
30 第1のトレンチ

【図17】



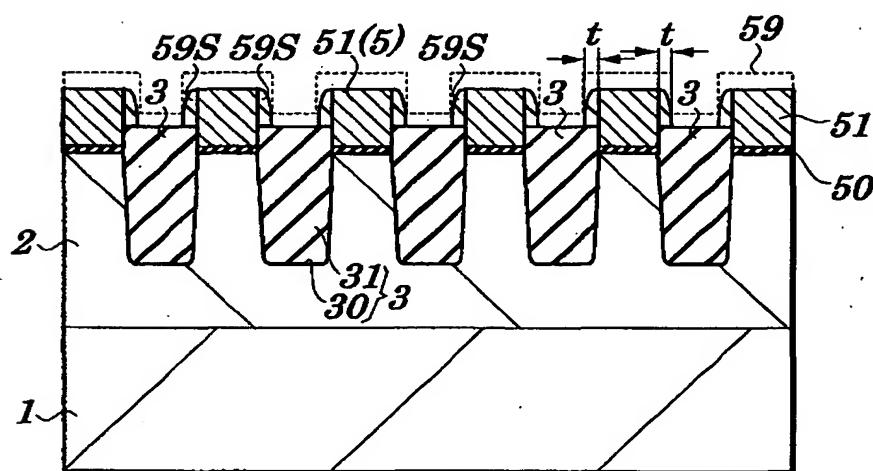
31 分離用充填材  
55 シリコン酸化膜  
56 シリコン酸化膜

【図18】



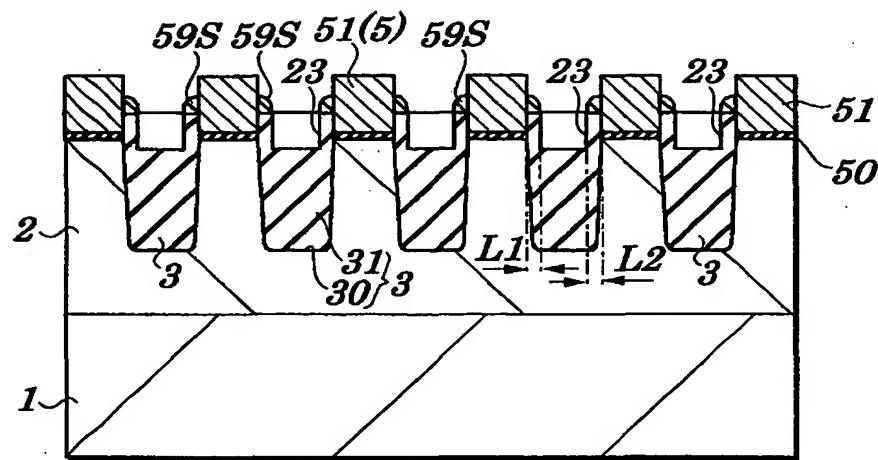
3 素子分離領域  
30 第1のトレンチ  
31 分離用充填材

【図19】



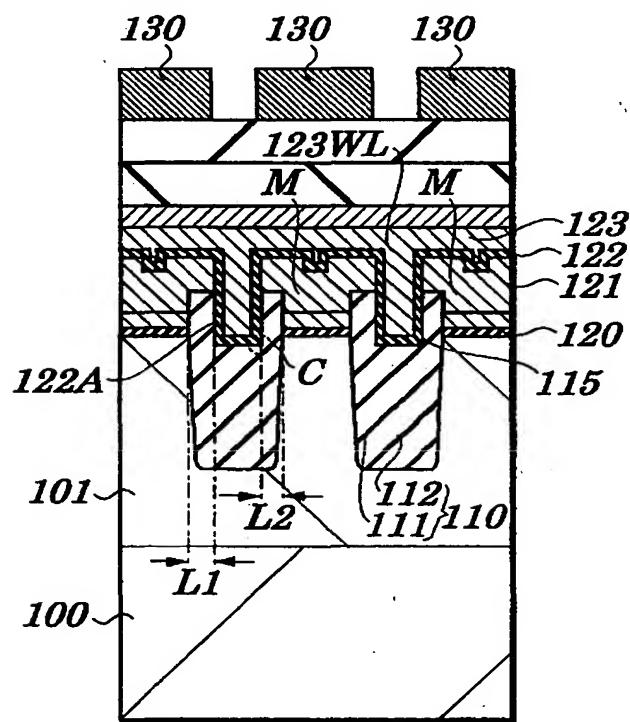
59 シリコン多結晶膜  
59S サイドウォールスペーサ

【図20】



23 第2のトレンチ

【図21】



【書類名】 要約書

【要約】

【課題】 ワード線と半導体基板との間の電気的短絡を防止し、電気的信頼性の高い不揮発性記憶回路を備えた半導体装置及びその製造方法を提供する。

【解決手段】 不揮発性記憶回路を備えた半導体装置において、第1のトレンチ30とその内部を埋設する分離用充填材31とを有する素子分離領域3と、ゲート幅方向に隣接するメモリセルMの浮遊電極5間に表面部分に比べて深い部分のトレンチ幅が小さい第2のトレンチ20と、第2のトレンチ内部20に一部が埋設されたワード線7WLとを備える。

【選択図】 図1